

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YOUNG-JIN YOON

Application No.:

Filed:

For: **SEMICONDUCTOR MEMORY DEVICE
HAVING ADVANCED PREFETCH
BLOCK**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-85159	27 December 2002
Republic of Korea	2002-85808	28 December 2002

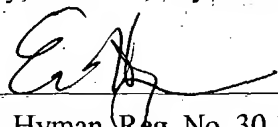
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/21/07

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085159
Application Number

출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

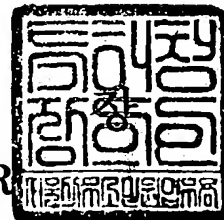
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.12.27
【발명의 명칭】	4 비트 프리페치를 위한 파이프래치를 갖는 반도체 기억 장치
【발명의 영문명칭】	Semiconductor Memory Device having a pipelatch for prefetching 4 bit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	윤영진
【성명의 영문표기】	Y00N, Young Jin
【주민등록번호】	720306-1058317
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대6차아파트 605-402
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원

1020020085159

출력 일자: 2003/5/15

【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】	435,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 파이프래치가 하나의 리드 명령에 의하여 4비트의 데이터를 프리페치할 수 있는 반도체 기억 장치를 제공하기 위하여, 한번의 리드명령에 의하여 복수의 뱅크로부터 4비트의 데이터를 프리페치할 수 있는 반도체 기억 장치에 있어서, 스타트 어드레스가 기수인지 우수인지에 따라 입력되는 상기 데이터를 정렬하기 위한 제어신호에 제어되어 상기 데이터를 병렬의 전치 폴링 엠티 출력라인 및 전치 라이징 엠티 출력라인으로 정렬하여 출력할 수 있는 복수의 제1 멀티플렉싱 수단 - 상기 복수의 제1 멀티플렉싱 수단은 각각 한쌍의 상기 전치 폴링 엠티 출력라인 및 전치 라이징 엠티 출력라인을 포함함 - ; 상기 스타트 어드레스에 제어받아 상기 복수의 전치 라이징 엠티 출력라인에 실린 상기 데이터 중 첫번째 데이터와 세번째 데이터를 출력할 수 있는 제2 멀티플렉싱 수단; 및 상기 스타트 어드레스에 제어받아 상기 복수의 전치 폴링 엠티 출력라인에 실린 상기 데이터 중 두번째 데이터와 네번째 데이터를 출력할 수 있는 제3 멀티플렉싱 수단을 포함하는 파이프래치를 가질 수 있다.

【대표도】

도 2

【색인어】

반도체 기억 장치, 프리페치, 파이프래치, 4비트, 멀티플렉서

【명세서】

【발명의 명칭】

4비트 프리페치를 위한 파이프래치를 갖는 반도체 기억 장치{Semiconductor Memory Device having a pipelatch for prefetching 4 bit}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도,
도 2는 본 발명에 따른 파이프래치의 세부 구성도,
도 3은 도 2의 파이프래치 내 제1 멀티플렉서 세부 구성도,
도 4는 도 3의 파이프래치 내 제1 멀티플렉서에서의 시뮬레이션 결과 파형도,
도 5는 도 3의 파이프래치 내 제2 및 제3 멀티플렉서 세부 구성도이고,
도 6은 도 3의 파이프래치 내 제2 멀티플렉서에서의 시뮬레이션 결과 파형도,
도 7은 도 3의 파이프래치 내 제3 멀티플렉서에서의 시뮬레이션 결과 파형도.

* 도면의 주요 부분에 대한 설명 *

110: 멀티플렉서

120: 파이프래치

130: 출력 드라이버

210: 파이프래치내 제1 멀티플렉서

220: 파이프래치내 제2 멀티플렉서

230: 파이프래치내 제3 멀티플렉서

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 반도체 기억 장치에 관한 것으로서, 구체적으로는 4비트를 프리페치할 수 있는 파이프래치를 갖는 반도체 기억 장치에 관한 것이다.
- <14> 종래의 반도체 기억 장치에서는 2비트 프리페치 방식만이 적용되었다. 여기서, 2비트 프리페치라 함은, 하나의 리드 명령에 의하여 두개의 데이터를 각각 다른 버스를 통해 동시에 읽어 파이프래치에 저장하는 방식으로, 출력시에는 이 두 개의 데이터를 클럭의 라이징 및 폴링에 맞춰 출력시키게 된다. 한편, 두개의 데이터를 동시에 읽어오는 것은 직렬적으로 읽어 올 수도 있고, 병렬적으로 읽어 올 수도 있다.
- <15> 그러나, 점차 반도체 기억 장치의 데이터 처리속도가 고속화되어감에 따라 1 사이클의 폭을 줄이는 것만으로는 이를 감당하기에 벅찬 상황이 되어가고 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 상기와 같은 문제점을 해결하기 위하여 본 발명은 파이프래치가 하나의 리드 명령에 의하여 4비트의 데이터를 프리페치할 수 있는 반도체 기억 장치를 제공함에 목적이 있다.

【발명의 구성 및 작용】

<17> 상기의 목적을 달성하기 위하여 본 발명은 한번의 리드명령에 의하여 복수의 뱅크로부터 4비트의 데이터를 프리페치할 수 있는 반도체 기억 장치에 있어서, 스타트 어드레스가 기수인지 우수인지에 따라 입력되는 상기 데이터를 정렬하기 위한 제어신호에 제어되어 상기 데이터를 병렬의 전치 폴링 엡지 출력라인 및 전치 라이징 엡지 출력라인으로 정렬하여 출력할 수 있는 복수의 제1 멀티플렉싱 수단 - 상기 복수의 제1 멀티플렉싱 수단은 각각 한쌍의 상기 전치 폴링 엡지 출력라인 및 전치 라이징 엡지 출력라인을 포함함 - ; 상기 스타트 어드레스에 제어받아 상기 복수의 전치 라이징 엡지 출력라인에 실린 상기 데이터 중 첫번째 데이터와 세번째 데이터를 출력할 수 있는 제2 멀티플렉싱 수단; 및 상기 스타트 어드레스에 제어받아 상기 복수의 전치 폴링 엡지 출력라인에 실린 상기 데이터 중 두번째 데이터와 네번째 데이터를 출력할 수 있는 제3 멀티플렉싱 수단을 포함하는 파이프래치를 가질 수 있다.

<18> 또한, 본 발명의 상기 복수의 제1 멀티플렉싱 수단은, 상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라, 복수의 멀티플렉서 우수 출력 라인의 데이터를 각각 전치 라이징 엡지 출력라인으로, 복수의 멀티플렉서 기수 출력 라인의 데이터를 각각 전치 폴링 엡지 출력라인으로 각각 정렬시킬 수 있다.

<19> 또한, 본 발명의 상기 복수의 제1 멀티플렉싱 수단 중 어느 하나의 제1 멀티플렉싱 수단은, 데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아 멀티플렉서 우수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 우수 출력 라인 데이터 입력부; 상기 멀티플렉서 우수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제1 래치부; 데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아

멀티플렉서 기수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 기수 출력 라인 데이터 입력부; 상기 멀티플렉서 기수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제2 래치부; 상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라 제1 논리상태 및 상기 제1 논리신호와 역전된 제2 논리신호를 출력하는 스타트오드 스타트이븐 데이터출력 제어부; 상기 제1 래치부로부터의 데이터를 입력받는 제1 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제2 전달게이트로 구성되고, 상기 제1 전달게이트의 피모스트랜지스터측과 상기 제2 전달게이트의 엔모스트랜지스터측은 상기 제1 논리신호에 제어되며, 상기 제1 전달게이트의 엔모스트랜지스터측과 상기 제2 전달게이트의 피모스트랜지스터측은 상기 제2 논리신호에 제어되고, 상기 제1 전달게이트의 출력과 상기 제2 전달게이트의 출력은 병렬접속된 전치 라이징 엣지 출력부; 및 상기 제1 래치부로부터의 데이터를 입력받는 제3 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제4 전달게이트로 구성되고, 상기 제3 전달게이트의 엔모스트랜지스터와 상기 제4 전달게이트의 피모스트랜지스터는 상기 제1 논리신호에 제어되며, 상기 제3 전달게이트의 피모스트랜지스터와 상기 제4 전달게이트의 엔모스트랜지스터는 상기 제2 논리신호에 제어되고, 상기 제3 전달게이트의 출력과 상기 제4 전달게이트의 출력은 병렬접속된 전치 폴링 엣지 출력부를 포함한다.

<20> 또한, 본 발명의 상기 제2 멀티플렉싱 수단은, 상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 라이징 엣지 출력라인 중 제1 전치 라이징 엣지 출력라인에 실린 상기 첫번째 데이터를 라이징 엣지 출력라인에 싣고, 상기 스타트 어드레스에 따라 기수 데이터를 정렬시키는 신호의 토글에 대응하여 상기 병렬의 전치 라이징 엣지

출력라인 중 제2 전치 라이징 엡지 출력라인에 실린 상기 세번째 데이터를 상기 라이징 엡지 출력라인에 실을 수 있다.

<21> 또한, 본 발명의 제2 멀티플렉싱 수단에서는 상기 라이징 엡지 출력라인에 실린 상기 첫번째 데이터는 제1 라이징 클럭 펄스 신호 동안 출력되며, 상기 라이징 엡지 출력라인에 실린 상기 세번째 데이터를 제2 라이징 클럭 펄스 신호 동안 출력될 수 있다.

<22> 또한, 본 발명의 상기 제2 멀티플렉싱 수단은, 상기 전치 라이징 엡지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 라이징 엡지 출력라인과 접속된 제6 전달게이트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 응하여 기수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 라이징 엡지 데이터 선택부; 및 전원전압단과 접지전압단 사이에 직렬접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 라이징 엡지 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 라이징 엡지 동안 상기 라이징 엡지 데이터 선택부로부터 출력되는 신호를 출력시키기 위한 라이징엡지출력제어 신호에 제어되고, 상기 제1 엔모스트랜지스터는 상기 라이징엡지출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부를 포함한다.

<23> 또한, 본 발명의 상기 제3 멀티플렉싱 수단은, 상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 폴링 엠티지 출력라인 중 제1 전치 폴링 엠티지 출력라인에 실린 상기 두번째 데이터를 폴링 엠티지 출력라인에 싣고, 상기 스타트 어드레스에 따라 우수 데이터를 정렬하는 신호의 토글에 대응하여 상기 병렬의 전치 폴링 엠티지 출력라인 중 제2 전치 폴링 엠티지 출력라인에 실린 상기 네번째 데이터를 폴링 엠티지 출력라인에 싣을 수 있다.

<24> 또한, 본 발명의 제3 멀티플렉싱 수단에서는, 상기 라이징 엠티지 출력라인에 실린 상기 두번째 데이터는 제1 폴링 클럭 펄스 신호 동안 출력하고, 상기 폴링 엠티지 출력라인에 실린 상기 네번째 데이터를 제2 폴링 클럭 펄스 신호 동안 출력될 수 있다.

<25> 또한, 본 발명의 상기 제3 멀티플렉싱 수단은, 상기 전치 폴링 엠티지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 폴링 엠티지 출력라인과 접속된 제6 전달게이트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 응하여 우수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 폴링 엠티지 데이터 선택부; 및 전원전압단과 접지전압단 사이에 직렬접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 폴링 엠티지 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 폴링 엠티지 동안 상기 폴링 엠티지 데이터 선택부로부터 출력되는 신호를 출력시키기 위한 폴링엠티지출력제어신호에 제어

되고, 상기 제1 엔모스트랜지스터는 상기 풀링엠티출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부를 포함한다.

<26> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

<27> 도 1은 본 발명에 따른 반도체 기억 장치에서의 파이프래치 블록 구성도이다.

<28> 본 발명의 반도체 기억 장치는 하나의 리드 명령에 의하여 4개의 데이터 입력을 4개의 글로벌 입출력 라인(GIO)에 싣게 되는데, 0번 주소에 해당되는 데이터를 우수 글로벌 입출력 라인 GIO_EV0에, 1번 주소에 해당되는 데이터는 기수 글로벌 입출력 라인 GIO_OD0에, 2번 주소에 해당되는 데이터를 우수 글로벌 입출력 라인 GIO_EV1에, 3번 주소에 해당되는 데이터는 기수 글로벌 입출력 라인 GIO_OD1에 각각 싣는다. 그리고, 파이프래치에는 이 글로벌 데이터를 커맨드와 함께 들어온 어드레스에 맞도록 정렬해서 라이징 엠티 데이터 출력 라인(rdo)/풀링 엠티 데이터 출력 라인(fdo)에 싣는다. 여기서, rdo/fdo는 클럭의 라이징 엠티 혹은 풀링 엠티에 대응되어 데이터가 출력되는 데이터 출력 라인이다.

<29> 본 발명의 반도체 기억 장치내 파이프래치수단(120)은 4개의 파이프래치(121, 122, 123 및 124)로 구성되며, 파이프래치수단(120)으로 들어오는 데이터를 받아들이기 위하여 파이프래치 인 신호(PIN<0:3>)가 "L"상태로 되면, 멀티플렉서(110)로부터 외부에서 대기중인 멀티플렉서 출력 라인(Mxoutb)에 실린 데이터를 받아들인다.

<30> 도 2는 본 발명에 따른 파이프래치의 세부 구성도이다.

<31> 본 발명에 따른 파이프래치(121, 122, 123 및 124)는 전단의 멀티플렉서(110)의 출력라인(mxoutb)에 실린 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 정렬을 수행하여 각각 병렬의 전치 폴링 엡지 출력라인 및 전치 라이징 엡지 출력라인으로 출력할 수 있는 복수의 제1 멀티플렉서(210); 스타트 어드레스에 제어받아 상기 복수의 전치 라이징 엡지 출력라인에 실린 데이터의 순서를 정렬할 수 있는 제2 멀티플렉서; 및 스타트 어드레스에 제어받아 상기 복수의 전치 폴링 엡지 출력라인에 실린 데이터의 순서를 정렬할 수 제3 멀티플렉서를 포함할 수 있다.

<32> 즉, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)에 제어되는 복수의 제1 멀티플렉서(210)는 제1-1 멀티플렉서(211)와 제1-2 멀티플렉서(212)을 포함한다.

<33> 이 때, 스타트 어드레스가 우수 어드레스이면, 제1-1 멀티플렉서(211)는 제1 멀티플렉서 우수 출력 라인(mxoutb_ev0)에 실린 데이터를 제1 전치 라이징 엡지 출력라인(pre_rdo0)으로, 제1 멀티플렉서 기수 출력 라인(mxoutb_od0)에 실린 데이터를 제1 전치 폴링 엡지 출력라인(pre_fdo0)에 넘기며, 제1-2 멀티플렉서(212)는 제2 멀티플렉서 우수 출력라인(mxoutb_ev1)에 실린 데이터를 제2 전치 라이징 엡지 출력라인(pre_rdo1)으로,

제2 멀티플렉서 기수 출력 라인(mxoutb_od1)에 실린 데이터를 제2 전치 폴링 엣지 출력 라인(pre_fdo1)으로 넘긴다. 여기서, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)는 파이프래치(121)에 들어오는 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 멀티플렉서 출력 라인에 실린 데이터를 정렬하기 위한 제어신호이다.

<34> 이후, 제2 및 제3 멀티플렉서(220, 230)에서의 정렬은 다음과 같다.

<35> 상기 우수 어드레스가 0이면, 전치 라이징 엣지 출력라인 및 전치 폴링 엣지 출력 라인의 데이터를 각각 다음의 순서로 싣는다.

<36> 1. pre_rdo0 -> rdo, at 제2 멀티플렉서

<37> 2. pre_fdo0 -> fdo, at 제3 멀티플렉서

<38> 3. pre_rdo1 -> rdo, at 제2 멀티플렉서

<39> 4. pre_fdo1 -> fdo, at 제3 멀티플렉서

<40> 만일, 상기 어드레스가 2이면, 전치 라이징 엣지 출력라인 및 전치 폴링 엣지 출력 라인의 데이터를 각각 다음의 순서로 싣는다.

<41> 1. pre_rdo1 -> rdo, at 제2 멀티플렉서

<42> 2. pre_fdo1 -> fdo, at 제3 멀티플렉서

<43> 3. pre_rdo0 -> rdo, at 제2 멀티플렉서

<44> 4. pre_fdo0 -> fdo, at 제3 멀티플렉서

<45> 한편, 상기 스타트 어드레스가 기수이면, 제1-1 멀티플렉서(211)는 제1 멀티플렉서 기수 출력 라인(mxoutb_od0)에 실린 데이터를 제1 전치 라이징 엣지 출력라인(pre_rdo0)으로, 제1 멀티플렉서 우수 출력 라인(mxoutb_ev0)에 실린 데이터를 제1 전치 폴링 엣지 출력라인(pre_fdo0)으로 넘기고, 제1-2 멀티플렉서(212)는 제2 멀티플렉서 기수 출력 라인(mxoutb_od1)에 실린 데이터를 제2 전치 라이징 엣지 출력라인(pre_rdo1)으로, 제2 멀티플렉서 우수 출력 라인(mxoutb_ev1)에 실린 데이터를 제2 전치 폴링 엣지 출력라인(pre_fdo1)으로 넘긴다.

<46> 한편, 상기 스타트 어드레스가 1이면, 다음의 순서로 따라 데이터를 라이징 엣지 출력 라인(rdo) 혹은 폴링 엣지 출력 라인(fdo)에 실는다.

<47> 1. pre_rdo0 -> rdo, at 제2 멀티플렉서

<48> 2. pre_fdo1 -> fdo, at 제3 멀티플렉서

<49> 3. pre_rdo1 -> rdo, at 제2 멀티플렉서

<50> 4. pre_fdo0 -> fdo, at 제3 멀티플렉서

<51> 그리고, 상기 스타트 어드레스가 3이면, 다음의 순서로 따라 데이터를 라이징 엣지 출력 라인(rdo) 혹은 폴링 엣지 출력 라인(fdo)에 실는다.

<52> 1. pre_rdo1 -> rdo, at 제2 멀티플렉서

<53> 2. pre_fdo0 -> fdo, at 제3 멀티플렉서

<54> 3. pre_rdo0 -> rdo, at 제2 멀티플렉서

<55> 4. pre_fdo1 -> fdo, at 제3 멀티플렉서

- <56> 도 3은 도 2의 파이프래치 내 제1 멀티플렉서 세부 구성도이고, 도 4는 도 3의 파이프래치 내 제1 멀티플렉서에서의 시뮬레이션 결과 파형도이다.
- <57> 파이프래치(120)로 들어오는 데이터를 받아들이기 위한 파이프래치 인 신호(Pin)가 "L"상태이면 멀티플렉서 출력 라인(mxoutb)에 실린 데이터를 받아들이다가, 파이프래치 인 신호(Pin)가 "H"상태로 천이되면 더 이상 외부의 데이터를 받아들이지 않게 되고, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)신호를 이용하여 스타트 어드레스가 우수인지 기수인지에 따라 데이터를 멀티플렉싱하여 전치 라이징 엣지 출력 라인(pre_rdo) 혹은 전치 폴링 엣지 출력 라인(pre_fdo)에 실는 것을 보인다.
- <58> 도 5는 도 3의 파이프래치 내 제2 및 제3 멀티플렉서 세부 구성도이고, 도 6과 도 7은 각각 도 3의 파이프래치 내 제2 멀티플렉서 및 제3 멀티플렉서에서의 시뮬레이션 결과 파형도이다.
- <59> 도 5를 참조하여 설명하면, 스타트 어드레스가 0인 경우 제2 멀티플렉서(220)에서의 동작은 다음과 같다. 먼저, 제1 전치 라이징 엣지 출력라인(pre_rdo<0>)에 실린 첫번째 데이터를 라이징 엣지 출력라인(rdo)에 실고, 라이징 엣지 출력라인(rdo)에 실린 첫번째 데이터를 제1 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력시킨다. 이후, 스타트 어드레스가 무엇인가에 따라 기수 데이터를 정렬하는 신호(isoseb1_rd)의 토글로 인하여 제2 전치 라이징 엣지 출력라인(pre_rdo<1>)에 실린 세번째 데이터를 라이징 엣지 출력

라인(rdo)에 신고, 라이징 엣지 출력라인(rdo)에 실린 세번째 데이터를 제2 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력한다.

<60> 한편, 스타트 어드레스가 0인 경우 제3 멀티플렉서(230)에서의 동작은 다음과 같이 수행된다. 먼저 제1 전치 폴링 엣지 출력라인(pre_fdo<0>)에 실린 두번째 데이터를 폴링 엣지 출력라인(fdo)에 신고, 라이징 엣지 출력라인(fdo)에 실린 두번째 데이터를 제1 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다. 이후, 스타트 어드레스가 무엇인가에 따라 우수 데이터를 정렬하는 신호(isosebl_fd)의 토글로 인하여 제2 전치 폴링 엣지 출력라인(pre_fdo<1>)에 실린 네번째 데이터를 폴링 엣지 출력라인(fdo)에 신고, 폴링 엣지 출력라인(fdo)에 실린 네번째 데이터를 제2 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다.

<61> 여기서, 상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라, 복수의 멀티플렉서 우수 출력 라인의 데이터를 각각 전치 라이징 엣지 출력라인으로, 복수의 멀티플렉서 기수 출력 라인의 데이터를 각각 전치 폴링 엣지 출력라인으로 정렬시킨다고 하였으나, 이와 반대로 복수의 멀티플렉서 우수 출력 라인의 데이터를 각각 전치 폴링 엣지 출력라인으로, 복수의 멀티플렉서 기수 출력 라인의 데이터를 각각 전치 라이징 엣지 출력라인으로 정렬시키고, 제2 및 제3 멀티플렉서에서도 위에서 설명한 바와 반대로 멀티플렉싱을 할 수 있음은 당연하다.

<62> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자

에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

【발명의 효과】

<63> 본 발명은 파이프래치가 한번의 리드 명령에 의하여 4비트의 데이터를 프리페치할 수 있어 2비트 프리페치 방식에 비하여 데이터 처리속도를 2배 증가시키는 효과가 있으며, 이에 따라 반도체 기억 장치의 고속화에 대응할 수 있는 유리한 효과가 있다.

【특허청구범위】**【청구항 1】**

한번의 리드명령에 의하여 복수의 뱅크로부터 4비트의 데이터를 프리페치할 수 있는 반도체 기억 장치에 있어서,

스타트 어드레스가 기수인지 우수인지에 따라 입력되는 상기 데이터를 정렬하기 위한 제어신호에 제어되어 상기 데이터를 병렬의 전치 폴링 엡지 출력라인 및 전치 라이징 엡지 출력라인으로 정렬하여 출력할 수 있는 복수의 제1 멀티플렉싱 수단 - 상기 복수의 제1 멀티플렉싱 수단은 각각 한쌍의 상기 전치 폴링 엡지 출력라인 및 전치 라이징 엡지 출력라인을 포함함 - ;

상기 스타트 어드레스에 제어받아 상기 복수의 전치 라이징 엡지 출력라인에 실린 상기 데이터 중 첫번째 데이터와 세번째 데이터를 출력할 수 있는 제2 멀티플렉싱 수단; 및

상기 스타트 어드레스에 제어받아 상기 복수의 전치 폴링 엡지 출력라인에 실린 상기 데이터 중 두번째 데이터와 네번째 데이터를 출력할 수 있는 제3 멀티플렉싱 수단을 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 2】

제1항에 있어서, 상기 복수의 제1 멀티플렉싱 수단은,

상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라, 복수의 멀티플렉서 우수 출력 라인의 데이터를 각각 전치 라이징 엡지 출력라인으로, 복수의 멀티플렉서 기수 출

력 라인의 데이터를 각각 전치 폴링 엣지 출력라인으로 각각 정렬시키는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 3】

제2항에 있어서, 상기 복수의 제1 멀티플렉싱 수단 중 어느 하나의 제1 멀티플렉싱 수단은,

데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아 멀티플렉서 우수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 우수 출력 라인 데이터 입력부;

상기 멀티플렉서 우수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제1 래치부;

데이터의 입력 여부를 제어하는 파이프래치 인 신호의 제어를 받아 멀티플렉서 기수 출력 라인에 실린 데이터를 받아들이기 위한 멀티플렉서 기수 출력 라인 데이터 입력부;

상기 멀티플렉서 기수 출력 라인 데이터 입력부로 부터 출력된 데이터를 일시 저장하는 제2 래치부;

상기 스타트 어드레스가 기수인지 혹은 우수인지에 따라 제1 논리상태 및 상기 제1 논리신호와 역전된 제2 논리신호를 출력하는 스타트오드 스타트이븐 데이터출력 제어부;

상기 제1 래치부로부터의 데이터를 입력받는 제1 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제2 전달게이트로 구성되고, 상기 제1 전달게이트의 피모스트랜지스터측과 상기 제2 전달게이트의 엔모스트랜지스터측은 상기 제1 논리신호에 제어되며, 상기 제1 전달게이트의 엔모스트랜지스터측과 상기 제2 전달게이트의 피모스트랜지스터측은 상기 제2 논리신호에 제어되고, 상기 제1 전달게이트의 출력과 상기 제2 전달게이트의 출력은 병렬접속된 전치 라이징 엣지 출력부; 및

상기 제1 래치부로부터의 데이터를 입력받는 제3 전달게이트와 상기 제2 래치부로부터의 데이터를 입력받는 제4 전달게이트로 구성되고, 상기 제3 전달게이트의 엔모스트랜지스터와 상기 제4 전달게이트의 피모스트랜지스터는 상기 제1 논리신호에 제어되며, 상기 제3 전달게이트의 피모스트랜지스터와 상기 제4 전달게이트의 엔모스트랜지스터는 상기 제2 논리신호에 제어되고, 상기 제3 전달게이트의 출력과 상기 제4 전달게이트의 출력은 병렬접속된 전치 폴링 엣지 출력부

를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 4】

제1항 내지 제3항 중 어느 한항에 있어서, 상기 제2 멀티플렉싱 수단은,

상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 라이징 엣지 출력라인 중 제1 전치 라이징 엣지 출력라인에 실린 상기 첫번째 데이터를 라이징 엣지 출력라인에 싣고, 상기 스타트 어드레스에 따라 기수 데이터를 정렬시키는 신호의 토글에 대응하여 상기 병렬의 전치 라이징 엣지 출력라인 중 제2 전치 라이징 엣지 출력라인에 실

린 상기 세번째 데이터를 상기 라이징 엣지 출력라인에 싣는 것을 특징으로 하는 파이프 래치를 갖는 반도체 기억 장치.

【청구항 5】

제4항에 있어서, 상기 제2 멀티플렉싱 수단에서는,

상기 라이징 엣지 출력라인에 실린 상기 첫번째 데이터는 제1 클럭 펄스의 라이징 엣지 동안 출력되며, 상기 라이징 엣지 출력라인에 실린 상기 세번째 데이터를 제2 클럭 펄스의 라이징 엣지 동안 출력되는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 6】

제5항에 있어서, 상기 제2 멀티플렉싱 수단은,

상기 전치 라이징 엣지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 라이징 엣지 출력라인과 접속된 제6 전달게이트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 응하여 기수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 라이징 엣지 데이터 선택부; 및

전원전압단과 접지전압단 사이에 직렬접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 라이징 엣지 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 라이징 엣지 동안 상기 라이징 엣지 데이터 선택부로부터 출력되는 신호를 출력시키기 위한 라이징엣지출력제어신호에 제어되고, 상기 제1 엔모스트랜지스터는 상기 라이징엣지출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부

를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 7】

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제3 멀티플렉싱 수단은, 상기 스타트 어드레스가 임의의 값을 가지면, 상기 병렬의 전치 폴링 엣지 출력라인 중 제1 전치 폴링 엣지 출력라인에 실린 상기 두번째 데이터를 폴링 엣지 출력라인에 실고, 상기 스타트 어드레스에 따라 우수 데이터를 정렬하는 신호의 토글에 대응하여 상기 병렬의 전치 폴링 엣지 출력라인 중 제2 전치 폴링 엣지 출력라인에 실린 상기 네번째 데이터를 폴링 엣지 출력라인에 실는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 8】

제7항에 있어서, 상기 제3 멀티플렉싱 수단에서는,

상기 라이징 엣지 출력라인에 실린 상기 두번째 데이터는 제1 클럭 펄스의 폴링 엣지 동안 출력하고, 상기 폴링 엣지 출력라인에 실린 상기 네번째 데이터를 제2 클럭 펄스의 폴링 엣지 동안 출력되는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【청구항 9】

제8항에 있어서, 상기 제3 멀티플렉싱 수단은,

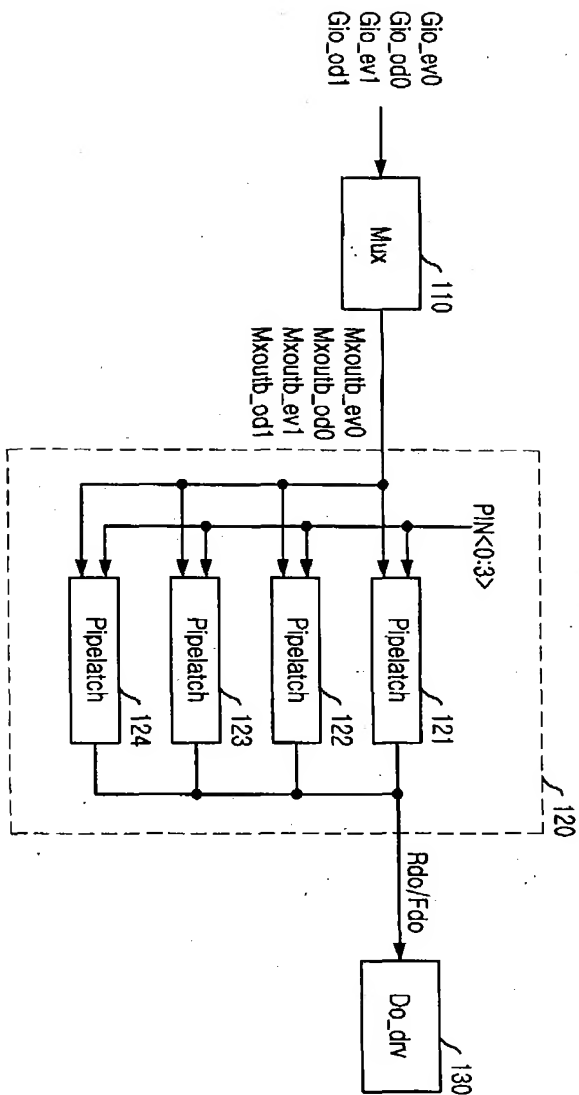
상기 전치 폴링 엣지 출력부로부터의 출력을 입력으로 하는 제5 전달게이트와 상기 복수의 제1 멀티플렉싱 수단 중 다른 하나의 제1 멀티플렉싱 수단이 갖는 전치 폴링 엣지 출력라인과 접속된 제6 전달게이트를 갖고, 상기 제5 전달게이트의 피모스트랜지스터와 상기 제6 전달게이트의 엔모스트랜지스터는 상기 스타트 어드레스에 의하여 우수번째 데이터를 정렬시키는 제3 논리신호에 의해 제어되고, 상기 제5 전달게이트의 엔모스트랜지스터와 상기 제6 전달게이트의 피모스트랜지스터는 상기 제3 논리신호에 반전된 제4 논리신호에 제어되는 폴링 엣지 데이터 선택부; 및

전원전압단과 접지전압단 사이에 직렬접속된 제1 및 제2 피모스트랜지스터와 제1 및 제2 엔모스트랜지스터로 구성되고, 상기 제1 피모스트랜지스터와 상기 제2 엔모스트랜지스터는 상기 폴링 엣지 데이터 선택부로부터 출력되는 신호에 제어되며, 상기 제2 피모스트랜지스터는 상기 제1 및 제2 클럭 펄스의 폴링 엣지 동안 상기 폴링 엣지 데이

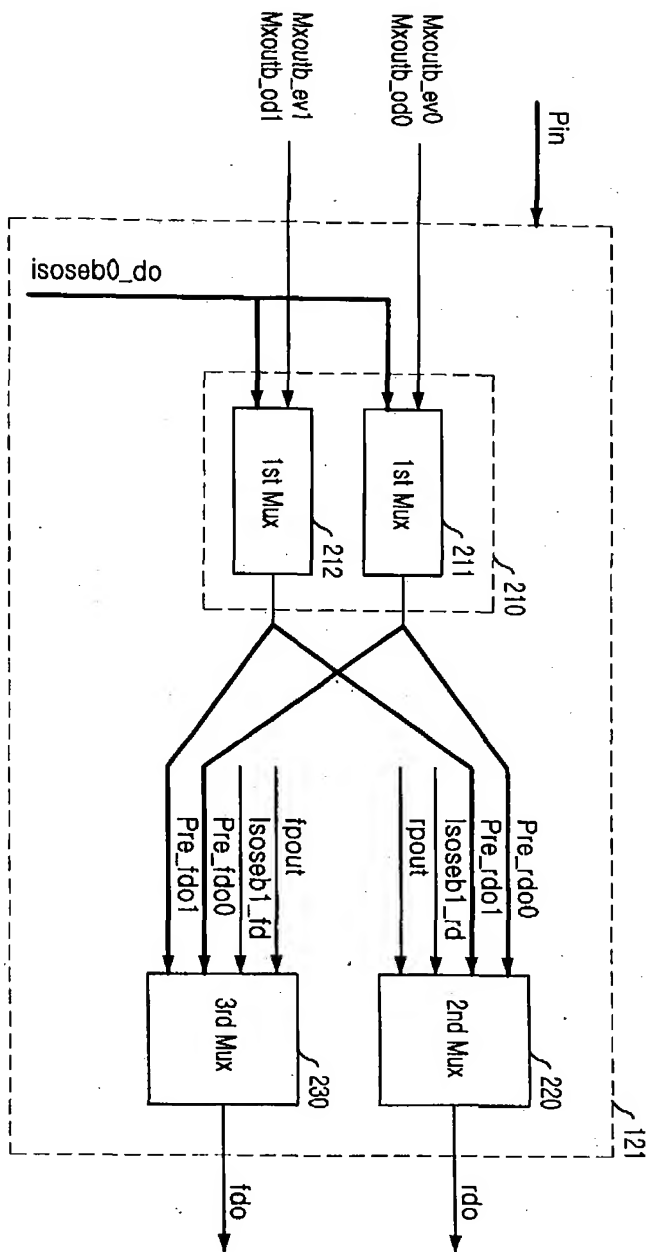
터 선택부로부터 출력되는 신호를 출력시키기 위한 풀링엣지출력제어신호에 제어되고, 상기 제1 엔모스트랜지스터는 상기 풀링엣지출력제어신호의 반전신호에 제어되며, 상기 제2 피모스트랜지스터와 상기 제1 엔모스트랜지스터 사이에 출력단에 연결되는 출력부를 포함하는 것을 특징으로 하는 파이프래치를 갖는 반도체 기억 장치.

【도면】

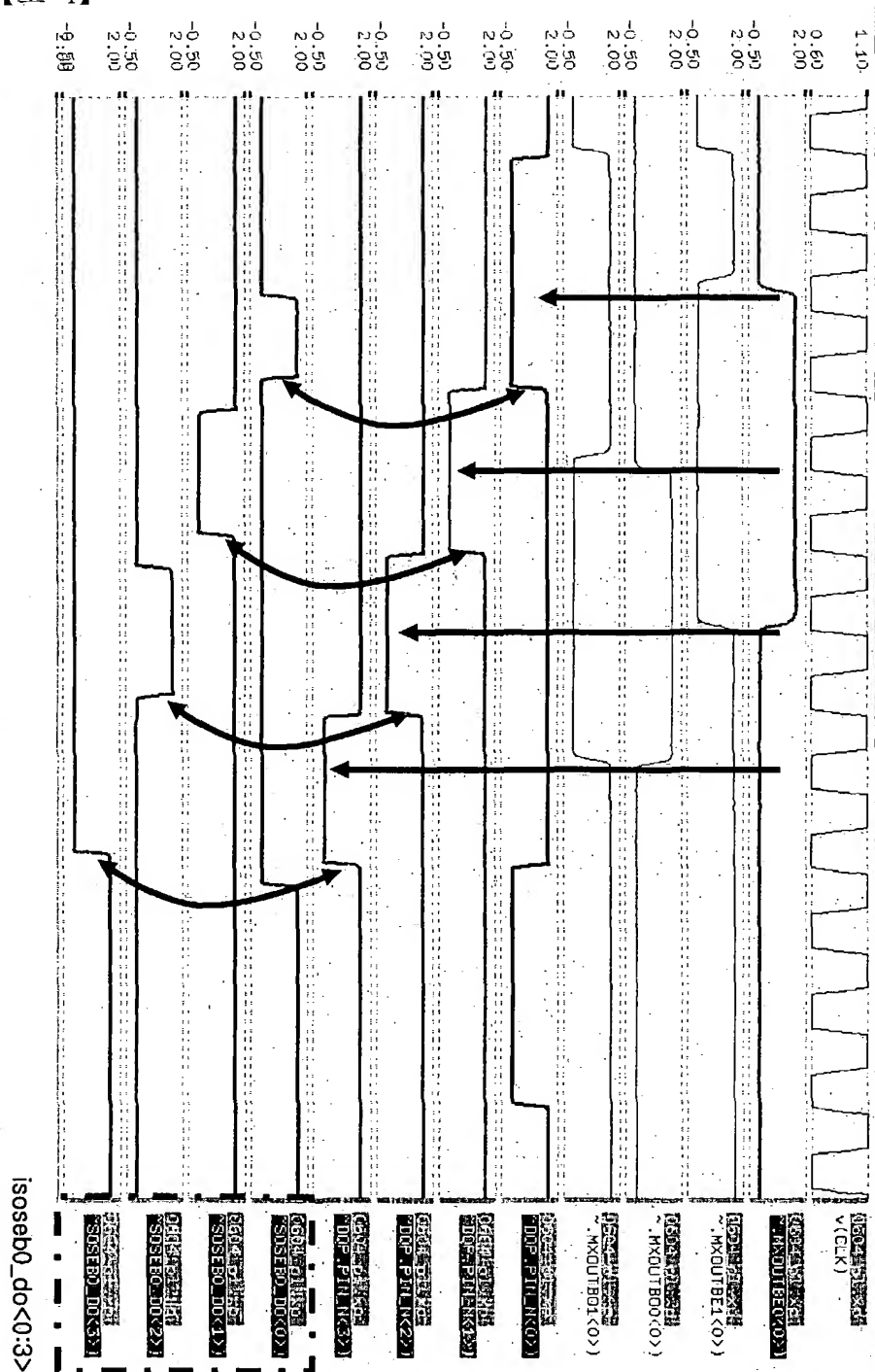
【도 1】



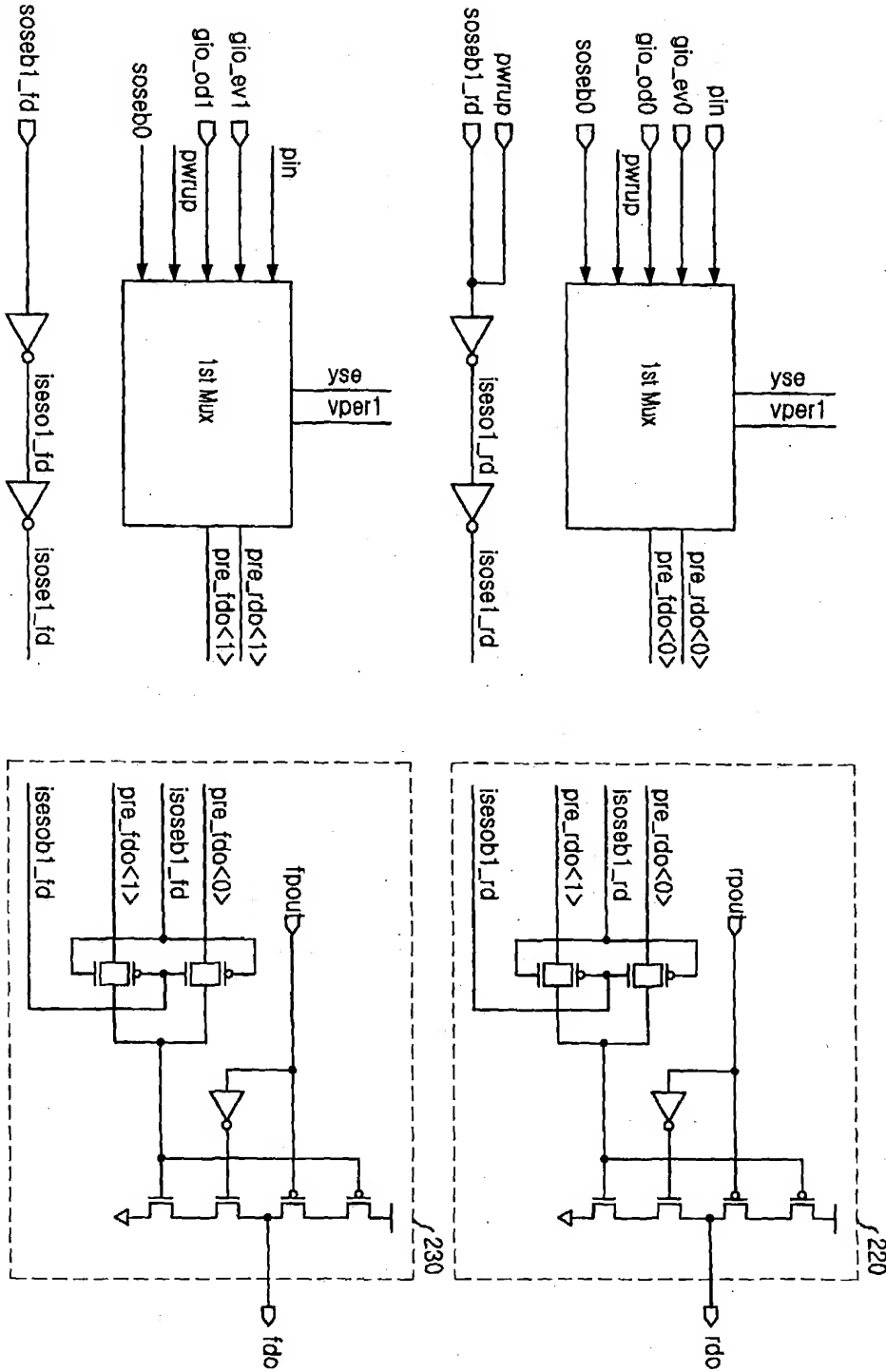
【도 2】



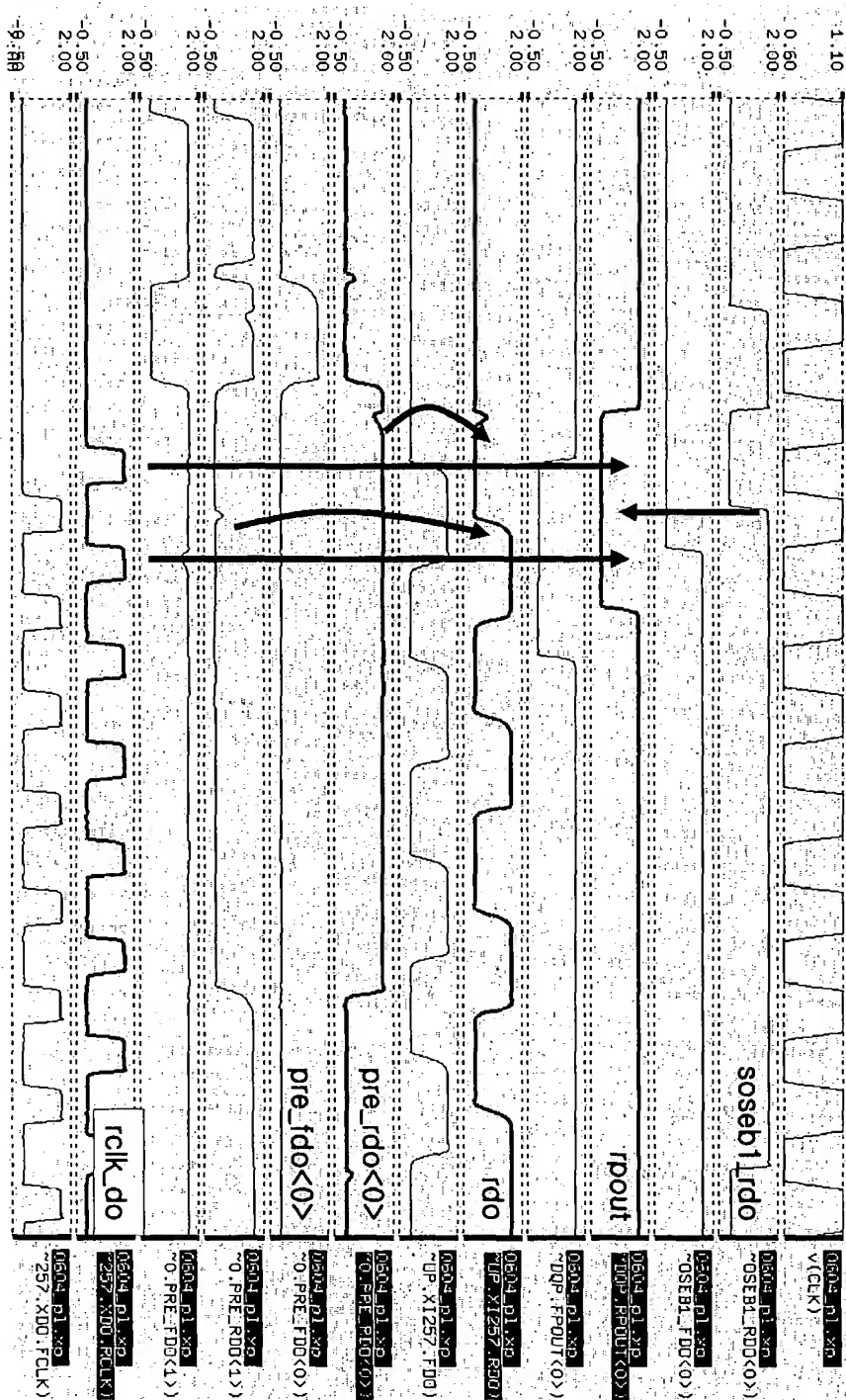
【도 4】



【도 5】



【도 6】



【도 7】

